

Japanese Patent Laid-open Publication No. HEI 8-228152 A

Publication date : September 3, 1996

Applicant : Nihon Denki K. K.

Title : A/D CONVERSION CIRCUIT

5
Best Available Copy

(57) [ABSTRACT]

[OBJECT]

The object of the present invention is to provide an A/D conversion circuit capable of converting a signal having a broad frequency band from analog to digital with small quantization errors as an image signal.

[CONSTITUTION]

A sampling generation circuit 6 generates a sampling pulse with a frequency, which is not less than two times as the highest frequency of an input image signal. A superposed signal generation circuit 3 generates a superposed signal with a predetermined amplitude at a frequency which is not more than 1/2 times as many as that of the sampling pulse and is higher than the highest frequency of the input image signal.

20 An addition circuit 2 adds the generated superposed signal to the input image signal. An A/D converter 4 converts the output signal of the addition circuit 2 into a digital signal on the basis of the sampling pulse. A digital low-pass filter 5 attenuates a component of the superposed signal from the

25 output digital signal to output the attenuated superposed

signal to an output terminal 7.

[0011]

[OPERATION]

5 According to the present invention, since the A/D converter converts an addition composite signal of the input signal and the superposed signal, of which frequency is higher than that of the input signal, from analog to digital to generate a digital signal, it is possible to decrease the change of
10 the digital value (a sampling value) compared with direct analog/digital conversion of the input signal.

[0012]

 Alternatively, it is possible to attenuate the superposed signal by providing a digital low-pass filter for attenuating
15 the superposed signal component from the output digital signal of the A/D converter, so that a desired digital signal can be obtained.

参考技術

関東 テック エム

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8-228152

(43) 公開日 平成 8 年 (1996) 9 月 3 日

(51) Int. Cl.

H03M 1/20

1/08

識別記号

庁内整理番号

F I

技術表示箇所

H03M. 1/20

1/08

A

審査請求 有 請求項の数 4 (全 6 頁)

(21) 出願番号 特願平 7-32047

(22) 出願日 平成 7 年 (1995) 2 月 21 日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 橘 賢二

東京都港区芝 5 丁目 7 番 1 号 日本電気株式会社内

(74) 代理人 弁理士 松浦 兼行

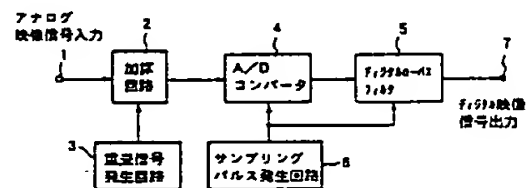
(54) 【発明の名称】 A/D 変換回路

(57) 【要約】

【目的】 本発明は映像信号のように広周波数帯域の信号に対しても量子化誤差少なくアナログ・デジタル変換し得る A/D 変換回路を提供することを目的とする。

【構成】 サンプリングパルス発生回路 6 は、入力映像信号の最高周波数の 2 倍以上の周波数のサンプリングパルスを発生する。重畳信号発生回路 3 は、サンプリングパルスの 1/2 倍以下の周波数で、かつ、入力映像信号の最高周波数よりも高い周波数で一定振幅の重畳信号を発生し、加算回路 2 で入力映像信号に加算する。A/D コンバータ 4 は、加算回路 2 の出力信号をサンプリングパルスに基づいてデジタル信号に変換する。デジタルローパスフィルタ 5 は、A/D コンバータ 4 の出力デジタル信号から重畳信号成分を減衰して出力端子 7 へ出力する。

本発明の一実施例のブロック図



【特許請求の範囲】

【請求項1】 入力信号の最高周波数の2倍以上の周波数のサンプリングパルスが発生するサンプリングパルス発生回路と、

該サンプリングパルスの1/2倍以下の周波数で、かつ、前記入力信号の最高周波数よりも高い周波数で一定振幅の重畳信号を発生する重畳信号発生回路と、前記入力信号と前記重畳信号とを加算する加算回路と、該加算回路の出力信号を前記サンプリングパルスに基づいてディジタル信号に変換するA/Dコンバータとを有することを特徴とするA/D変換回路。

【請求項2】 前記A/Dコンバータは、入力信号を上位ビットと残りの下位ビットとの2つに分けてディジタル信号に変換する構成であることを特徴とする請求項1記載のA/D変換回路。

【請求項3】 A/Dコンバータの出力ディジタル信号から前記重畳信号成分を減衰するディジタルローパスフィルタを更に有することを特徴とする請求項1記載のA/D変換回路。

【請求項4】 前記重畳信号発生回路は、前記サンプリングパルスに基づいて該サンプリングパルスに同期した前記重畳信号を発生することを特徴とする請求項1乃至3のうちいずれか一項記載のA/D変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はA/D変換回路に係り、特に映像信号をアナログ・ディジタル変換するA/D変換回路に関する。

【0002】

【従来の技術】従来より、アナログ信号をディジタル信号に変換するA/D変換回路は広く用いられているが、映像信号をディジタル映像信号に変換するA/D変換回路は、映像信号の周波数帯域が比較的広帯域であるため、比較的高速度が要求される。このため、映像用A/D変換回路としては、従来全並列型のA/D変換回路知られている。

【0003】この全並列型のA/D変換回路は、Nビットの分解能を得る場合は $(2^N - 1)$ ビットのコンパレータと、この複数のコンパレータのそれぞれに入力映像信号と比較させるための互いに異なる基準電圧を発生させる複数の分圧抵抗と、複数のコンパレータの出力ディジタル信号をNビットのバイナリコードに変換するためのエンコーダとより構成され、入力映像信号を上記の複数のコンパレータにより対応する基準電圧と別々に、かつ、同時にレベル比較し、その比較結果をエンコーダを通すことにより出力ディジタル信号を得る。この全並列型のA/D変換回路は、高速度であり、また微分的な1量子化の精度が比較的良好であるという特長がある。

【0004】また、従来の他のA/D変換回路としては、上位複数ビットと残りのビットの2つに分けて変換

する、所謂2ステップフラッシュ型A/D変換回路が知られている。この従来のA/D変換回路は、上位複数ビット用の複数の第1のコンパレータと、下位ビット用の複数の第2のコンパレータと、互いに異なるレベルの参照電圧を第1及び第2のコンパレータに入力する参照電圧発生手段と、第1のコンパレータの出力結果に応じて第2のコンパレータに印加する参照電圧を切り換える切換手段と、第1及び第2のコンパレータの各出力をそれぞれ所定のビット数のディジタル信号に変換するエンコーダとよりなる。

【0005】この従来のA/D変換回路によれば、入力映像信号をそれぞれ複数の第1及び第2のコンパレータに並列に入力し、第一ステップで上位側の第1のコンパレータと参照電圧とを比較し、第二ステップで上記の比較結果に応じて下位側の第2のコンパレータへの参照電圧を切り換えて第2のコンパレータにより入力映像信号との比較を行う。そして、このようにして得られた第1及び第2のコンパレータの各比較出力をそれぞれ対応して設けられたエンコーダにより上位複数ビットのディジタル信号と、下位複数ビットのディジタル信号を得る。

【0006】

【発明が解決しようとする課題】しかるに、上記の従来のA/D変換回路のうち前者の構成のものは、10ビットのディジタル映像信号を出力しようとする場合は、約1024 $(=2^{10})$ 個のコンパレータと基準電圧発生用の分圧抵抗とを必要とするため、回路規模が大きくなると共に、消費電力が大であるという問題がある。

【0007】また、上記の従来のA/D変換回路のうち後者の構成のものは、コンパレータの数が少なく回路規模、消費電力が少なく済む反面、上位のディジタル信号出力と下位のディジタル信号出力のつなぎ目での誤差が大きいという問題がある。

【0008】例えば、上位6ビットと下位4ビットに分けてディジタル信号出力を得る構成の場合、入力アナログ信号に対する出力ディジタル信号の特性は図4に示すようになり、10ビット出力が“0000001110”から“0000001111”への1量子化幅の変化は下位4ビットの変化だけであるため良好であるが、“0000001111”から“0000010000”への1量子化幅の変化は上位6ビットと下位4ビットの両方の変化を伴うつなぎ目での変化であるために同図にAで示すように精度が悪い（歪みが大きい）という問題がある。

【0009】本発明は以上の点に鑑みなされたもので、映像信号のように広周波数帯域の信号に対しても量子化誤差少なくアナログ・ディジタル変換し得るA/D変換回路を提供することを目的とする。

【0010】

【課題を解決するための手段】上記の目的を達成するため、本発明は、入力信号の最高周波数の2倍以上の周波

10

20

30

40

50

数のサンプリングパルスが発生するサンプリングパルス発生回路と、サンプリングパルスの $1/2$ 倍以下の周波数で、かつ、入力信号の最高周波数よりも高い周波数で一定振幅の重畳信号を発生する重畳信号発生回路と、入力信号と重畳信号とを加算する加算回路と、加算回路の出力信号をサンプリングパルスに基づいてデジタル信号に変換する A/D コンバータとを有する構成としたものである。

【0011】

【作用】本発明では、入力信号とこれよりも高周波数の重畳信号との加算合成信号に対して A/D コンバータによりアナログ・デジタル変換してデジタル信号を生成するようにしているため、入力信号に対して直接アナログ・デジタル変換するよりもデジタル値（サンプリング値）の変化を小さくできる。

【0012】また、重畳信号は A/D コンバータの出力デジタル信号から重畳信号成分を減衰するデジタルローパスフィルタを更に有することで低減でき、所望のデジタル信号を得ることができる。

【0013】

【実施例】次に、本発明の実施例について説明する。図 1 は本発明の一実施例のブロック図を示す。同図中、入力端子 1 に入力されたアナログ映像信号は加算回路 2 に供給され、ここで重畳信号発生回路 3 よりの重畳信号と加算された後、A/D コンバータ 4 に供給されてサンプリングパルス発生回路 6 よりのサンプリングパルスに基づいてデジタル信号に変換される。

【0014】この A/D コンバータ 4 は従来より公知の所謂 2 ステップフラッシュ型の A/D コンバータであり、前記したように、第一ステップでは入力合成信号を上位ビット用の複数のコンパレータにおいて互いに異なる参照電圧と比較し、その比較結果に応じて第二ステップでは参照電圧を切り換えて下位ビット用の別の複数のコンパレータに印加し、この参照電圧と上記の入力合成信号とを比較し、以下同様の動作を繰り返す。そして、上記の上位ビット用の複数のコンパレータから取り出された各出力を上位ビット用のエンコーダを介して上位複数ビットのデジタル値を出力し、また、上記の下位ビット用の複数のコンパレータから取り出された各出力を下位ビット用のエンコーダを介して残りの下位複数ビットのデジタル値を出力する。

【0015】ここで、サンプリングパルスの周波数は、ナイキストのサンプリング定理より通過させようとする入力アナログ映像信号の最高周波数の 2 倍以上の周波数であり、ここでは例えば入力アナログ映像信号の色副搬送波周波数の 4 倍の周波数である 14.3 MHz である。また、上記重畳信号は、このサンプリングパルスの周波数の $1/2$ 倍の周波数の正弦波で、振幅は 1 量子化幅の 5 倍程度である。

【0016】このようにして、A/D コンバータ 4 から

は映像信号と重畳信号との合成信号が上位ビットと下位ビットの 2 つに分けてデジタル信号に変換され、全体として量子化ビット数が例えば 10 ビットで取り出され、このデジタル信号はサンプリングパルス発生回路 6 よりのサンプリングパルスに同期して動作しているデジタルフィルタであるローパスフィルタ 5 に供給される。このデジタルローパスフィルタ 5 は、遮断周波数が重畳信号よりも低周波数で、かつ、入力アナログ映像信号の最高周波数よりも高い周波数の例えば 6 MHz に設定されているため、映像信号成分はそのまま出力端子 7 へ通過出力され、重畳信号は減衰されて出力端子 7 へ出力されない。

【0017】図 2 は A/D コンバータ 4 の入力信号波形の一例を示す。同図に示すように、例えば単調増加する入力映像信号 I に対して上記の重畳信号発生回路 3 よりの重畳信号 II が加算回路 2 で合成され、その合成信号が A/D コンバータ 4 において上記サンプリングパルスにより図 2 に矢印で示すタイミングでサンプリングされると、そのサンプリング点は図 2 に黒丸で示す位置となる。よって、A/D コンバータ 4 の量子化誤差の大きな入力レベルにおいても、そのレベルの前後のサンプリング値が少し離れたレベルとの平均値となるので、量子化誤差が低減する。

【0018】次に、本発明の他の実施例について説明する。図 3 は本発明になる A/D 変換回路の他の実施例のブロック図を示す。同図中、図 1 と同一構成部分には同一符号を付し、その説明を省略する。図 3 において、入力端子 1 より入力された最高周波数 6 MHz 程度のアナログ映像信号は、遮断周波数が 14 MHz のローパスフィルタ (LPF) 10 を介して加算回路 2 内の加算器 2a に供給される。

【0019】一方、サンプリングパルス発生回路 12 は入力端子 11 よりの同期パルスに同期した 28.6 MHz のサンプリングパルスを発生し、このサンプリングパルスを A/D コンバータ 4 及びデジタルローパスフィルタ 14 にそれぞれ供給すると共に、重畳信号発生回路 13 に供給する。

【0020】重畳信号発生回路 13 は入力サンプリングパルスに同期した $1/2$ 倍の周波数の 14.3 MHz で、かつ、振幅が前記したように 5 量子化幅程度の重畳信号を発生して加算器 2a に供給し、ここで LPF 10 よりのアナログ映像信号と加算させる。

【0021】この加算器 2a より取り出されたアナログ映像信号と重畳信号との合成信号は、増幅器 2b で増幅された後、A/D コンバータ 4 に供給されて 28.6 MHz のサンプリングパルスによりオーバーサンプリングされて、例えば量子化ビット数 10 ビットのデジタル信号に変換される。このデジタル信号は通過帯域が約 6 MHz のデジタルローパスフィルタ 14 により、映像信号成分がそのまま通過されて出力端子 7 へ出力さ

れ、重畳信号成分は減衰される。本実施例は、重畳信号がサンプリングパルスに同期しているので、重畳信号の山と谷の部分をそれぞれ正確にサンプリングでき、また、オーバーサンプリングしているのでより正確で量子化誤差の少ないデジタル信号に変換できる。

【0022】なお、本発明は上記の実施例に限定されるものではなく、例えば実施例では重畳信号減衰のためのデジタルローパスフィルタ 5、14 を A/D 変換回路内に設けたが、後続する D/A 変換回路内に設けられたフィルタで重畳信号を減衰させることも可能である。また、重畳信号はサンプリングパルスの周波数の 1/2 倍未満の周波数で、かつ、入力信号（映像信号でなくてもよい）の最高周波数よりも高い周波数であってもよい。

【0023】

【発明の効果】以上説明したように、本発明によれば、入力信号とこれよりも高周波数の重畳信号との加算合成信号に対して A/D コンバータによりアナログ・デジタル変換してデジタル信号を生成することにより、入力信号に対して直接アナログ・デジタル変換するよりもデジタル値（サンプリング値）の変化を小さくできるため、従来に比べて微分的な量子化誤差を低減したデ

ジタル信号を得ることができ、よって、上位複数ビットと残りのビットの 2 つに分けて変換する構成の A/D コンバータを使用できるために、全並列型の A/D 変換回路に比べて回路規模を低減できると共に、消費電力も低減できる。

【図面の簡単な説明】

【図 1】本発明の一実施例のブロック図である。

【図 2】図 1 の A/D コンバータの入力波形の一例を示す図である。

10 【図 3】本発明の他の実施例のブロック図である。

【図 4】従来の A/D 変換回路の変換特性の一例を示す図である。

【符号の説明】

1 アナログ映像信号入力端子

2 加算回路

3、13 重畳信号発生回路

4 A/D コンバータ

5、14 デジタルローパスフィルタ

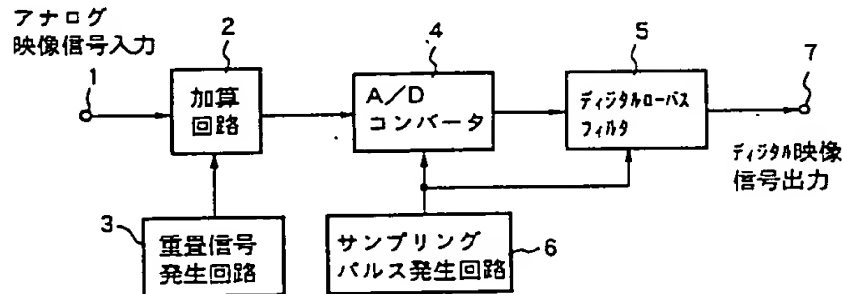
6、12 サンプリングパルス発生回路

20 7 デジタル映像信号出力端子

11 同期パルス入力端子

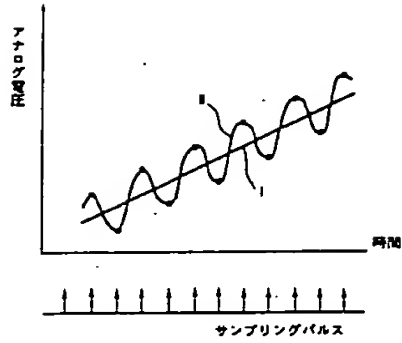
【図 1】

本発明の一実施例のブロック図



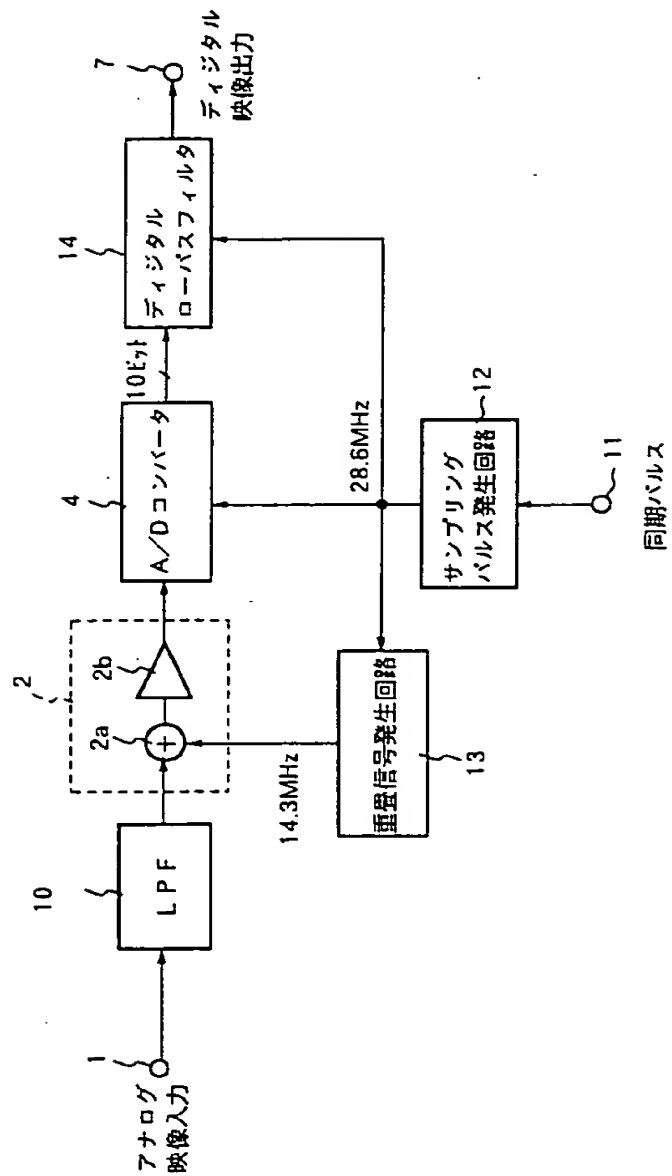
【図 2】

図1のA/Dコンバータの入力波形の一部



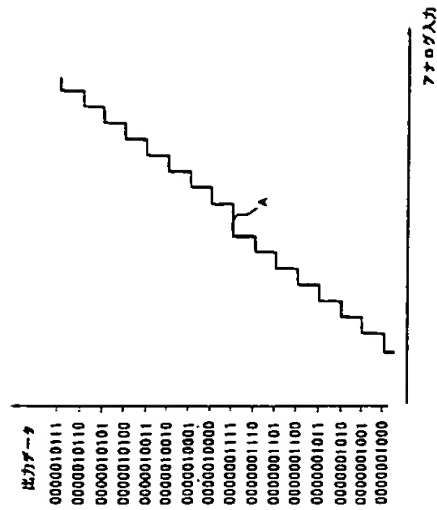
【図 3】

本発明の他の実施例のブロック図



【 図 4 】

図 4 の A/D 変換回路の変換特性の一例



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.